

A02

KPA XML 문서

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020052655 A
 (43)Date of publication of application:
 04.07.2002

(21)Application number: 1020000082066
 (22)Date of filing: 26.12.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: WON, SEOK JUN YOO, CHA YEONG

(51)Int. Cl

H01L 27/04

(54) SEMICONDUCTOR MEMORY DEVICE HAVING CYLINDRICAL CAPACITOR AND METHOD FOR
 FABRICATING THE SAME

(57) Abstract:

PURPOSE: A semiconductor memory device having a cylindrical capacitor and a method for fabricating the same are provided to prevent damages of a lower mold layer pattern or an interlayer dielectric.

CONSTITUTION: An interlayer dielectric(102) is formed on a semiconductor substrate(100). A plug (104) is formed within the interlayer dielectric(102). A mold layer pattern(106a) and a wet etch stop layer pattern(108a) are formed on the interlayer dielectric (102). A cylindrical lower electrode(114a) is formed on a bottom and an inner wall of a contact hole. A spacer is formed among the cylindrical lower electrode (114a), the mold layer pattern(106a), and the wet etch stop layer pattern(108a). A dielectric layer(118) is formed on each surface of the cylindrical lower electrode(114a), the mold layer pattern(106a), and the wet etch stop layer pattern(108a). An upper electrode(120) is formed on the dielectric layer(118).

&copy; KIPO 2003

Legal Status

Date of request for an examination (20001226)

Final disposal of an application (registration)

Date of final disposal of an application (20020830)

Patent registration number (1003552390000)

Date of registration (20020923)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 7
H01L 27/04

(11) 공개번호 특2002-0052655
(43) 공개일자 2002년 07월 04일

(21) 출원번호 10-2000-0082066
(22) 출원일자 2000년 12월 26일

(72). 발명자
원석준
서울특별시 관악구 봉천7동 1603-25

유차영

(24) 대리인 경기도수원시권선구금곡동530번지월시빌리지203동1502호
이영필, 정상빈, 이래호

(74) 대리인 비승률, 성승률, 비비로

설사경구 : 있음

(54) 셀린더형 커리시터를 갖는 반도체 메모리 소자 및 그 제조방법

요약

설린더형 커패시터를 갖는 반도체 메모리 소자 및 그 제조 방법을 제공한다. 본 발명의 반도체 메모리 소자는 실린더형의 하부 전극의 외벽의 표면, 및 실린더형의 하부 전극의 외벽과 슬식 식각 방지막 패턴 사이에 접착력을 향상시킬 수 있는 밀폐용 스페이서를 구비한다. 실린더형의 하부 전극, 밀폐용 스페이서, 미에 접착력을 향상시킬 수 있는 유전체층 및 커패시터의 상부 전극이 형성되어 있다. 이렇게 본 발명에 접속되는 표면에는 유전체층 및 커패시터의 상부 전극이 형성되어 있다. 이렇게 본 발명은 접착력을 향상시킬 수 있는 밀폐용 스페이서를 구비하여 제조 과정 중의 훈드 산화막 패턴이나 충간 절연스페이서를 구비하여 제조 과정 중의 훈드 산화막 패턴이나 충간 절연막이 손상되는 것을 방지할 수 있다.

四庫全書

五五

四

도연의 강당학 설명

도 1 내지 도 4는 증래 기술에 따라 실린더형 커패시터를 갖는 반도체 메모리 소자의 제조방법을 설명하는
도면들이다.

도 5는 본 발명에 의한 실린더형 커파시터를 갖는 반도체 메모리 소자를 설명하기 위하여 도시한 단면도이다.

도 6 내지 도 11은 본 발명에 의한 실린더형 커패시터를 갖는 반도체 메모리 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

본연의 삶생활·삶의

한국의 목적

연역이 솔직한 기술 와 그 본야의 증대기술

반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 실린더형 커파시터를 갖는 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

는 반도체 메모리 소자 위에 세로형으로 구조화된 커버레이터를 형성하기 위해 실린더형의 3차원 구조로 커버레이터를 형성하는 것이 유리하다. 그런데, 반도체 메모리 소자의 디자인 룰이 $0.2\text{ }\mu\text{m}$ 이하로 감소함에 따라 커버레이터를 형성하는 것이 문제점이 있다.

다 3자권 구조의 플랫폼 기판 위에 반도체 소자를 설치한 제품이다.
도 1 내지 도 4는 증강 기술에 따라 실린더형 커패시터를 갖는 반도체 메모리 소자의 제조방법을 설명하는
설명이며, 단면도들이다.

기 위하여 보시면 충분합니다.
도 1을 참조하면, 반도체 기판(11), 예컨대 실리콘 기판 상에 층간 절연막(13)을 형성한다. 상기 층간 절연막(13)은 실리콘 산화막으로 형성된다. 상기 층간 절연막(13) 내에 티타늄 질화막(TiN) 플러그(15)를 형성한다. 상기 층간 절연막(13) 및 티타늄 질화막 플러그(15) 상에 하부 몰드막(17, lower mold layer)을 형성한다. 상기 층간 절연막(13) 및 티타늄 질화막 플러그(15) 상에 하부 몰드막(17) 상에 숨식 식각을 형성한다. 상기 하부 몰드막(17)은 실리콘 산화막을 이용한다. 상기 하부 몰드막(17) 상에 숨식 식각

방지막(19)을 형성한다. 상기 슬식 식각 방지막(19)은 실리콘 질화막을 이용하여 형성한다. 상기 슬식 식각 방지막(19) 상에 상부 쿨드막(21)을 형성한다. 상기 상부 쿨드막(21)은 실리콘 산화막을 이용하여 형성한다.

상기 2를 조합하면, 상기 상부 롤드막(21), 습식 식각 방지막(19) 및 하부 롤드막(17)을 패터닝하여 상기 티타늄 질화막 플러그(15)를 노출시키는 혼합홀(22)을 형성한다. 이렇게 되면, 상기 상부 롤드막(21), 습식 식각 방지막(19) 및 하부 롤드막(17)은 각각 상부 롤드막 패턴(21a), 습식 식각 방지막 패턴(19a) 및 하부 롤드막 패턴(17a)이 형성된다.

상기 콘택홀(22)이 형성된 반도체 기판(11)의 전면에 하부 전극용 도전막(23)을 형성한다. 상기 하부 전극용 도전막(23)은 백금족 귀금속막, 예컨대 백금막(Pt), 루테늄암(Ru), 미리듐(Ir)막으로 형성된다. 다음에, 상기 하부 전극용 도전막(23)이 형성된 반도체 기판(11)의 전면에 상기 콘택홀(22)을 재우도록 회생막(25)을 형성한다. 상기 회생막(25)은 포토레지스트나 실리콘 산화막으로 형성된다.

3을 참조하면, 살기 상부 블드막 패턴(21a)의 표면을 식각정지점으로 하여 살기 혁생막(25) 및 하부 도전금속 전도막(23)을 순차적으로 식각하여 혁생막 패턴(25a) 및 하부 전극(23a)을 형성한다.

도 4를 참조하면, 상기 회생막 패턴(25a) 및 상부 울드막 패턴(21a)을 습식식각으로 제거함으로써 최종적으로 커페시터의 실린더형 하부 전극(23a)이 형성된다. 계속하여, 상기 실린더형의 하부 전극(23a)이 형성된 반도체 기판(11)의 전면에 유전체층(도시 안함) 및 상부 전극(도시 안함)을 형성함으로써 반도체 메모리 소자의 실린더형 커페시터를 완성한다.

그런데, 종래의 실린더형 커퍼시터를 갖는 반도체 메모리 소자의 제조방법에 있어서, 상기 상부 풀드막(21a)을 제거할 때 하부 전극(23a)과 식각 방지막 패턴(19a)의 접착력(adhesion)이 좋지 않아 계면(pendant)을 형성하는 경우, 하부 전극(23a)은 상부 풀드막(21a)과 함께 제거되는 경우가 있다. 따라서 하부 풀드막 패턴(17a)이 손상되고 더 나아가 풀드막(21a)과 함께 제거되는 문제점이 있다.

설명이 이루고자하는 기술적 조건

따라서, 본 발명이 이루고자 하는 기술적 과제는 하부 몰드막 패턴이나 층간 절연막의 손상이 방지된 실리콘 패시터를 포함하는 반도체 메모리 소자를 제공하는 데 있다.

단디나를 기파시킨다. 그들이 전하고자 하는 다른 기술적 과제는 살기 반도체 메모리 소자를 적합하게 제조할 수 있는 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 살기 반도체 메모리 소자를 적합하게 제조할 수 있는 제조방법을 제공하는데 있다.

불멸의 구성 및 쪽용

상기 실린더형의 하부 전극, 상기 밀폐층 스페이서 및 상기 습식 식각 방지 패턴의 표면에는 유전체층이 형성되어 있다. 상기 유전체층은 단탈을 산화막으로 구성할 수 있다. 상기 유전체층 상에는 커페시터의 상부 전극이 형성되어 있다. 상기 커페시터의 상부 전극은 백금족 귀금속막으로 구성할 수 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 반도체 메모리 소자는 반도체 기판 상의 층간 절연막 내에 풀러그를 형성한다. 상기 층간 절연막 상에 상기 풀러그를 노출시키는 콘택홀을 갖는 습식 방지막 및 몰드막 패턴을 형성한다. 상기 습식 방지막 패턴의 하부에 하부 몰드막 패턴을 더 형성할 수 있다. 상기 습식 방지막 패턴은 실리콘 절화막, 탄탈륨 산화막 또는 그 조합막을 이용하여 형성할 수 있다. 상기 몰드막 패턴은 실리콘 산화막을 이용하여 형성할 수 있다.

상기 콘택홀을 내벽에 밀폐층 스페이서를 형성한다. 상기 밀폐층 스페이서는 슬식 식각 방지막 패턴과의 면에 보이드가 형성되지 않는 비정질막으로 형성할 수 있다. 상기 밀폐층 스페이서는 탄탈을 산화막으로 하부 전극용도로 형성할 수 있다. 상기 밀폐층 스페이서의 내벽, 틀드막 패턴의 표면에 하부 전극용도로 형성할 수 있다. 상기 하부 전극을 도전막으로 형성된다. 상기 하부 전극은 백금금속 커금금속으로 이용하여 형성할 수 있다. 상기 하부 전극을 형성된 단계에서 기판의 전면에 상기 콘택홀을 채우도록 회생막을 형성한다. 상기 회생막은 콘택홀에 형성된 단계에서 틀드막으로 형성될 수 있다.

상기 블랙 패턴의 표면을 식각점지점으로 하여 상기 희생막 및 하부 전극용 도전막을 순차적으로 식각하여 상기 콘택홀에 매립된 희생막 패턴과 셀별로 분리되는 커페시터의 슬리더형의 하부 전극을 형성한다. 상기 속식식각 방지막 패턴과 밀폐총 스페이서를 시설각 방지막으로 하여 상기 희생막 패턴 및 상기 커페시터의 하부 전극 및 밀폐총 스페이서가 형성된 반도체가판의 탄탈을 산화막으로 형성할 수 있다. 상기 슬리더형의 하부 전극 및 밀폐총은 탄탈을 전면에 형성한다. 상기 유전체층은 탄탈을 형성할 수 있다.

미상과 같은 본 발명의 반도체 메모리 소자는 커패시터의 실린더형 하부 전극과 슬식
사이에 전자력을 향상시킬 수 있는 밀폐총 스페이서를 구비한다. 이에 따라, 제조 과정
중의 블드 신화막

패턴의 제거시에 하부 블드 산화막 패턴이나 층간 절연막이 손상되는 것을 방지할 수 있다. 이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 평균적인 자식을 가진 자에게 본 발명을 보다 완전하게 알기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 '위(상)'에 있다라고 기재된 경우, 상기 하여 과장되어진 것이다. 또한, 어떤 막이 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다. 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

구체적으로, 반도체 기판(100) 상에 층간 절연막(102)이 형성되어 있고, 상기 층간 절연막(102) 내에 플러그(104)가 형성되어 있다. 상기 플러그(104)는 티타늄 질화막(TiN)으로 구성한다. 상기 층간 플러그(104)가 형성되어 있다. 상기 플러그(104)는 노출하는 콘택홀을 갖는 블드막 패턴(106a), 도 6 내지 도 11에서 층간 막(102) 상에는 상기 플러그(104)를 노출하는 콘택홀을 갖는 블드막 패턴(106a)이 형성되어 있다. 상기 블드막은 하부 블드막 패턴으로 언급) 및 습식 식각 방지막 패턴(108a)이 형성되어 있다. 상기 블드막은 블리온 질화막, 탄탈륨 패턴(106a)은 실리콘 산화막으로 구성한다. 상기 습식 식각 방지막 패턴(108a)은 실리콘 질화막, 탄탈륨을 만정되게 형성하기 위하여 형성된다. 필요에 따라 형성하지 않을 수도 있다. 상기 습식 식각 방지막은 제조공정 시 상기 하부 블드막 패턴(106a)이나 층간 절연막(102)을 보호하기 위하여 형성된다.

상기 콘택홀(111)의 내벽 및 바닥에는 상기 플러그(104)와 전기적으로 접속되는 실린더형의 하부 전극(114a)이 형성되어 있다. 상기 실린더형의 하부 전극(114a)은 백금족 귀금속막, 예컨대 백금막(Pt), 루데늄막(Ru), 미리듐(Ir)막을 이용하여 형성한다. 상기 실린더형의 하부 전극(114a)의 외벽의 표면, 및 상기 실린더형의 하부 전극(114a)의 외벽과 상기 하부 블드막 패턴(106a) 및 습식 식각 방지막 패턴(108a) 간에는 밀폐층 스페이서(112a)가 형성되어 있다.

상기 밀폐층 스페이서(112a)는 상기 습식 식각 방지막 패턴(108a)과 접착력이 우수하여 제조공정 시 상기 밀폐층 스페이서(112a)는 상기 습식 식각 방지막 패턴(108a)과의 상상을 방지하는 역할을 수행한다. 상기 밀폐층 스페이서(112a)는 상기 밀폐층 스페이서(112a)와의 계면에 보이드가 형성되지 않는 비정질막으로 구성한다. 상기 밀폐층 스페이서(112a)는 탄탈륨 산화막으로 구성할 수 있다.

상기 실린더형의 하부 전극(114a), 상기 밀폐층 스페이서(112a) 및 상기 습식 식각 방지막 패턴(108a)의 상기 유전체층(118)이 형성되어 있다. 상기 유전체층(118)은 탄탈륨 산화막으로 구성한다. 상기 유전체층(118) 상에 상부 전극(120)이 형성되어 있다. 상기 상부 전극(120)은 백금족 귀금속막, 예컨대 백금막(Pt), 루데늄막(Ru), 미리듐(Ir)막을 이용하여 형성한다.

도 6 내지 도 11은 본 발명에 의한 실린더형 커파시터를 갖는 반도체 메모리 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도 6를 참조하면, 반도체 기판(100), 예컨대 실리콘 기판 상에 층간 절연막(102)을 형성한다. 상기 층간 절연막(102)은 실리콘 산화막으로 형성한다. 상기 층간 절연막(102) 내에 플러그(104)를 형성한다. 상기 절연막(102)은 티타늄 질화막(TiN)으로 형성한다. 상기 층간 절연막(102) 및 플러그(104) 상에 하부 블드막(106, lower mold layer)을 형성한다. 상기 하부 블드막(106)은 실리콘 산화막을 이용한다. 상기 하부 블드막(106)은 후속의 커파시터의 실린더형의 하부 전극이 만정되게 형성되는데 도움을 주기 위하여 형성한다. 상기 하부 블드막(106)은 필요에 따라 형성하지 않을 수도 있다.

상기 하부 블드막(106) 상에 습식 식각 방지막(108)을 형성한다. 습식 식각 방지막(108)은 상기 하부 블드막(106)이나 층간 절연막(102)을 보호하기 위하여 형성한다. 상기 습식 식각 방지막(108)은 실리콘 질화막, 탄탈륨 산화막 또는 그 조합막을 이용하여 형성한다. 상기 습식 식각 방지막(108) 상에 상부 블드막(110)을 형성한다. 상기 상부 블드막(110)은 실리콘 산화막을 이용하여 형성한다. 상기 하부 막(110)을 형성한다. 상기 상부 블드막(110)은 습식 식각 방지막(108) 및 상부 블드막(110)의 총두께에서 5~20%의 두께로 형성하는 것이 바람직하다.

도 7을 참조하면, 상기 상부 블드막(110), 습식 식각 방지막(108) 및 하부 블드막(106)을 패터닝한다. 이렇게 되면, 상기 플러그(104)를 노출시키는 콘택홀(111)을 갖는 상부 블드막 패턴(110a), 습식 식각 방지막 패턴(108a) 및 하부 블드막 패턴(106a)을 형성한다.

도 8을 참조하면, 상기 콘택홀(111)이 형성된 반도체 기판(102)의 전면에 밀폐층(112)을 형성한다. 상기 밀폐층(112)은 상기 습식 식각 방지막 패턴 및 후에 형성되는 하부 전극과의 접착력이 좋고 습식 식각 방지막 패턴(108a)과의 계면에 보이드가 형성되지 않는 비정질막으로 형성하는 것이 바람직하다. 상기 밀폐층(112)은 탄탈륨 산화막으로 형성하는 것이 바람직하다. 상기 밀폐층(112)은 최종 공정 후에는 실린더형 출(112)을 탄탈륨 산화막으로 형성하는 것이 바람직하다. 상기 밀폐층(112)은 최종 공정 후에는 실린더형 출(112)을 탄탈륨 산화막으로 형성하는 것이 바람직하다. 예컨대, 후공정에서 유전체층의 증가를 방지하기 위해 두께를 최소화시키는 하부 전극의 외벽에서 유전체층으로 작용하므로 커파시터스의 증가를 방지하기 위해 두께를 최소화시키는 것이 바람직하다. 예컨대, 후공정에서 유전체층의 두께를 100~200 Å로 할 경우 상기 밀폐층(112)의 두께는 10~40 Å으로 형성하는 것이 바람직하다.

도 9를 참조하면, 에치백 공정을 이용하여 상기 상부 블드막 패턴(110a)의 표면 및 플러그(104)의 표면에 밀폐층(112)을 쟁각한다. 이렇게 되면, 상기 콘택홀(111)의 내벽에만 밀폐층 스페이서(112a)가 형성된다. 밀폐층(112)을 쟁각한다. 다시 말해, 상기 콘택홀(111)의 내벽에만 밀폐층 스페이서(112a)가 형성된다. 상기 밀폐층 스페이서(112a)는 상기 하부 블드막 패턴(106a) 및 습식 식각 방지막 패턴(108a)의 내벽에 형성되기 때문에 후 공정, 예컨대 상부 블드막 패턴의 제거시에 상기 하부 블드막 패턴(106a) 및 습식 식각 방지막 패턴(108a)을 밀폐 및 보호하는 역할을 수행한다.

상기 밀폐층 스페이서(112a)의 높이는 상기 에치백 공정을 이용하여 조절할 수 있고, 적어도 습식 식각 방지막 패턴(108a)의 높이보다 높게 조절한다. 다시 말해, 상기 밀폐층 스페이서(112a)의 높이는 상기 습식 식각 방지막 패턴(108a) 아래로 내려가지 않으면 상기 습식 식각 방지막 패턴(108a)을 보호 및 밀폐시킬 수 있다. 결과적으로, 상기 밀폐층 스페이서(112a)는 최종적으로 실린더형 하부 전극의 외벽에서 유전체층을 갖는다.

체중으로 작용하기 때문에 습식 식각 방지막 패턴(108a) 아래로 내려가지 않으면서 최대로 낮추어주는 것이 바람직하다.

상기 콘택홀(111) 내에 형성되는 하부 전극용 도전막(114)은 밀폐층 스페이서(112a), 예컨대 탄탈륨 산화상에 형성되기 때문에 실리콘 산화막이나 실리콘 질화막 상에 형성되는 것보다 표면 모풀로지지를 좋게 할 수 있다. 다시 말해서, 상기 밀폐층 스페이서(112a)는 상기 하부 전극용 도전막 형성시 핵형성 증진층을 사용하여 상기 하부 전극용 도전막의 표면 모풀로지가 좋게 된다.

다음에, 상기 하부 전극용 도전막(114)이 형성된 반도체 기판(100)의 전면에 상기 콘택트홀(111)을 채우도록 회색막(116)을 형성한다. 상기 회색막(116)은 포토레지스트나 실리콘 산화막으로 형성한다.

도 11)을 참조하면, 상기 습식 식각 방지막 패턴(108a)과 밀폐층 스페이서(112a)를 식각 방지막으로 하여 상기 회생막 패턴(116a) 및 상부 블드막 패턴(110a)을 습식식각으로 제거함으로써 최종적으로 커페시터의 실린더형 하부 전극(114a)을 형성한다. 상기 회생막 패턴(116a) 및 상부 블드막 패턴(110a)의 습식 식각은 산화막 식각액, 예컨대 BOE(Buffered Oxide Etchant)를 이용하여 수십 내지 수백초간 수행한다. 이때, 상기 밀폐층 스페이서(112a)와 습식 식각 방지막 패턴(108a)간에는 접착력이 좋고 그 계면에는 보이드가 없으므로 산화막 식각액이 하부 블드막 패턴(106)이나 층간 절연막(102) 쪽으로 침투하지 못한다. 따라서, 상기 회생막 패턴(116a) 및 상부 블드막 패턴(110a)의 습식 식각시 하부 블드막 패턴(106a)이나 층간 절연막(102)이 손상 받지 않는다. 본 실시예에서는 상기 회생막 패턴(116a)과 상부 블드막 패턴(110a)을 제거하였으나, 따로 제거할 수도 있다.

계속하여, 도 5에 도시한 바와 같이 상기 하부 전극(114a)이 형성된 반도체 기판(100)의 전면에 유전체층(118)을 형성한다. 상기 유전체층(118)은 탄탄한 산화막을 이용하여 100~200Å의 두께로 형성한다. 상기 유전체층(118) 상에 상부 전극(120)을 형성함으로써 반도체 에모리 소자의 실린더형 커패시터들을 완성한다. 상기 상부 전극(120)은 백금막(Pt), 루테늄막(Ru), 아리듐(Al)막을 이용하여 형성된다. 상기 상부 전극(120)은 300~1000Å의 두께로 형성한다. 상기 상부 전극(120)은 스텝 구조로 형성된다. 상기 상부 전극(120)은 홀화기상증착법을 이용하여 형성된다.

한국학 헌법

상술한 바와 같이 본 발명의 반도체 소자는 커패시터의 실린더형 하부 전극과 습식 식각 방지막 패턴 사이에 상기 실린더형의 하부 전극과 상기 습식 식각 방지막 패턴간의 접착력을 향상시킬 수 있는 밀폐출입문에 상기 실린더형의 하부 전극과 상기 습식 식각 방지막 패턴의 제거시에 하부를 드는 산화막 스페이서를 구비한다. 이에 따라, 제조 과정 중의 상부 롤드 산화막 패턴의 제거시에 하부 패턴이나 출간 절연막이 손상되는 것을 방지할 수 있다.

(7) 청구의 불위

현금화 1. 바도체 기판 상의 축간 절연막 내에 형성된 플러그;

상과 품권구를 노출하는 콜택홀이 혼성된 습식 식각 방지막 패턴;

상기 플러그를 노출하는 단면을 A-A'면으로 표시하고 그 위에 확장된 확대도를 그려보면 그림 10-15와 같은 결과가 얻어지며, 그림 10-16은 그 확대도를 확장한 확장도이다.

상기 본다면 홀의 하부 및 바닥에 풍성한 기파에서나 그 출현부위가 있는지 살펴보면, 상기 실린더형의 하부 전극의 외벽과 상기 습식 식각 방지막 패턴 사이에 형성되어 상기 실린더형의 하부 전극과 상기 습식 식각 방지막 패턴간의 접착력을 향상시킬 수 있는 밀폐층 스페이너는:

상기 실린더형의 하부 전극, 상기 밀폐층 스페이서 및 상기 습식 식각 방지 패턴의 표면에 형성된 유전체 층: 미

상기 유전체층 상에 형성된 커패시터의 상부 전극을 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 소자

청구항 2. 제 1항에 있어서, 상기 습식 식각 방지 패턴의 하부에 물드막 패턴을 더 구비하는 것을 특징으로 하는 반도체 메모리 소자.

제3항에 있어서, 상기 볼드막 패턴은 실리콘 산화막으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

제 1항에 있어서, 상기 습식 식각 방지막 패턴은 실리콘 질화막, 탄탈륨 산화막 또는 그 조합
구성을 하는 것을 말하는다.

제1항에 있어서, 상기 실린더형의 하부 전극과 상부 전극은 백금즉 귀금속막으로 구성하는 헝겊을 틀진으로 하는 반도체 메모리 소자.

정구항 6. 제1항에 있어서, 상기 밀폐층 스페이서는 습식 식각 방지막 패턴과의 계면에 보이드가 형성
되지 않는 비정질망으로 구성하는 것을 틀집으로 하는 반도체 메모리 소자.

10-4

청구항 7. 제1항에 있어서, 상기 밀폐층 스페이서는 탄탈를 산화막으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 8. 제1항에 있어서, 상기 유전체층은 탄탈을 산화막으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 9. 반도체 기판 상의 층간 절연막 내에 플러그를 형성하는 단계; 상기 층간 절연막 상에 상기 플러그를 노출시키는 콘택홀을 모두 갖는 습식 식각 방지막 패턴 및 물드막 패턴을 형성하는 단계;

상기 콘택홀의 내벽에 밀폐층 스페이서를 형성하는 단계; 상기 밀폐층 스페이서의 내벽, 플러그의 표면, 물드막 패턴의 표면에 하부 전극용 도전막을 형성하는 단계;

상기 하부 전극용 도전막이 형성된 반도체 기판의 전면에 상기 콘택홀을 채우도록 희생막을 형성하는 단계;

상기 물드막 패턴의 표면을 식각정지점으로 하여 상기 희생막 및 하부 전극용 도전막을 순차적으로 식각하여 상기 콘택홀에 매립된 희생막 패턴과 셀별로 분리되는 커패시터의 실린더형의 하부 전극을 형성하는 단계;

상기 물드막 패턴과 밀폐층 스페이서를 식각 방지막으로 하여 상기 희생막 패턴 및 물드막 패턴을 습식 식각으로 제거하는 단계; 및

상기 실린더형의 하부 전극 및 밀폐층 스페이서가 형성된 반도체 기판의 전면에 유전체층 및 커패시터의 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 10. 제9항에 있어서, 상기 습식 식각 방지막 패턴의 하부에 하부 물드막 패턴이 더 형성되어 있는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 11. 제10항에 있어서, 상기 하부 물드막 패턴은 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 12. 제10항에 있어서, 상기 하부 물드막 패턴은 상기 하부 물드막 패턴, 습식 식각 방지막 패턴 및 물드막 패턴의 총두께의 5-20% 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 13. 제9항에 있어서, 상기 습식 식각 방지막 패턴은 실리콘 절화막, 탄탈을 산화막 또는 그 조합막을 이용하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 14. 제9항에 있어서, 상기 물드막 패턴은 실리콘 산화막을 이용하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 15. 제9항에 있어서, 상기 실린더형의 하부 전극과 상부 전극은 백금즉 귀금속막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 16. 제9항에 있어서, 상기 밀폐층 스페이서는 습식 식각 방지막 패턴과의 계면에 보이드가 형성되지 않는 비정질막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 17. 제9항에 있어서, 상기 밀폐층 스페이서는 탄탈을 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

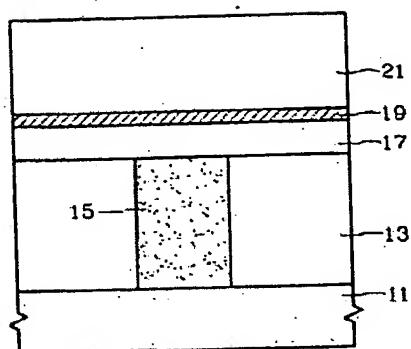
청구항 18. 제9항에 있어서, 상기 유전체층은 탄탈을 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 19. 제9항에 있어서, 상기 희생막은 포토레지스트나 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

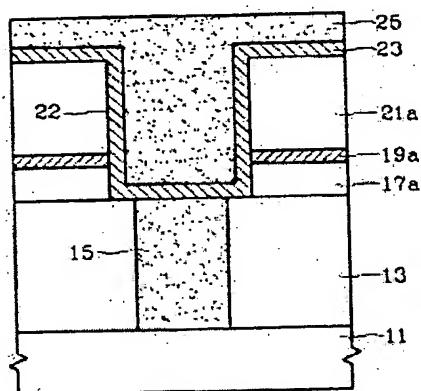
청구항 20. 제9항에 있어서, 상기 밀폐층 스페이서는 상기 콘택홀이 반도체 기판의 전면에 밀폐층을 형성하는 단계와, 상기 밀폐층을 적어도 상기 습식 식각 방지막 패턴의 높이보다 크게 예치백하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

도면

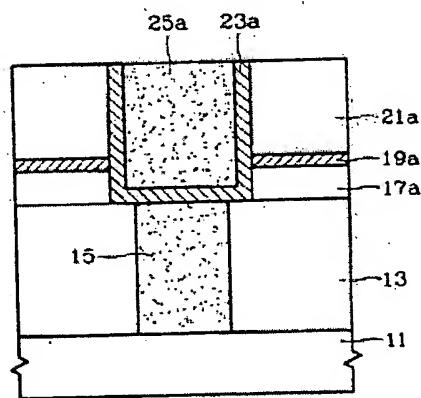
도면1



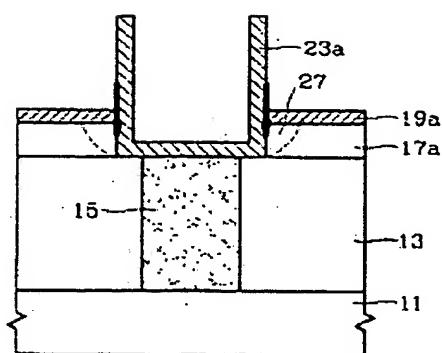
도면2



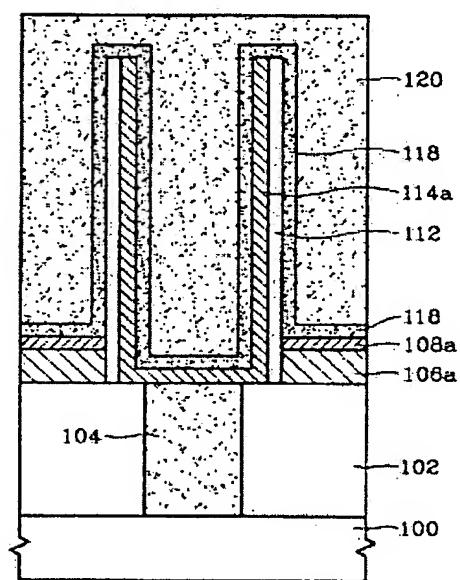
도면3



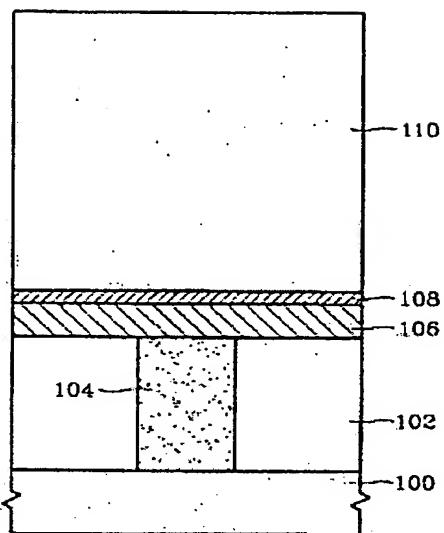
도면



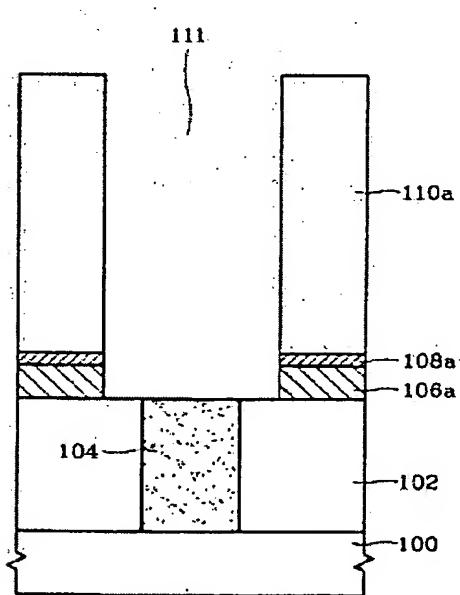
도면

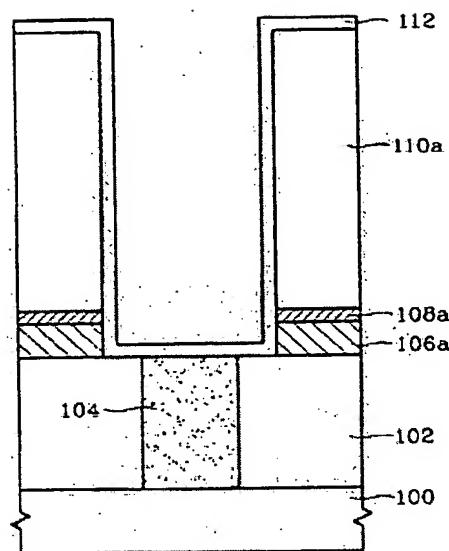
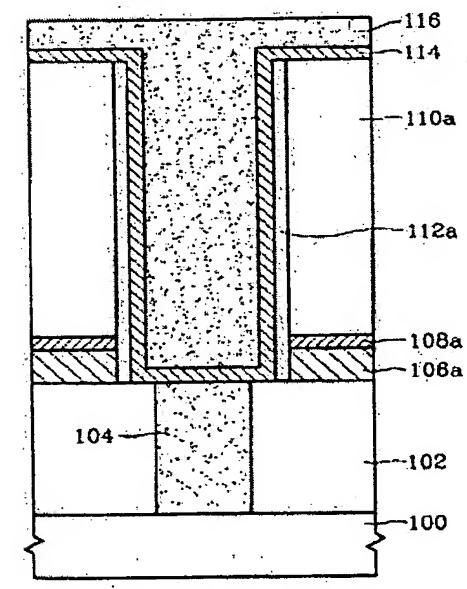


526

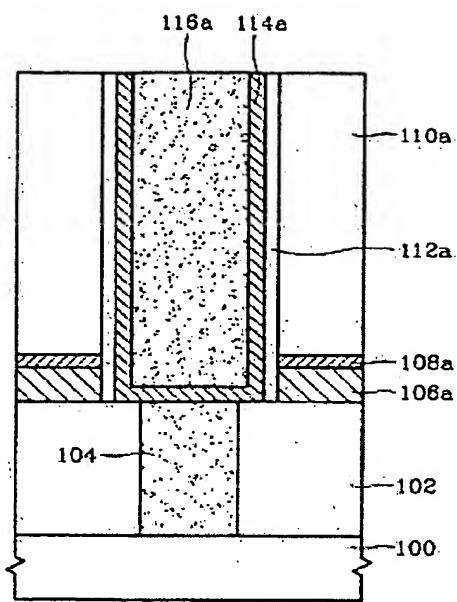


527



528*529*

도면 10



도면 11

